

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112407

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H01L 27/04

H01L 21/90

(21)Application number : 04-261417

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1992

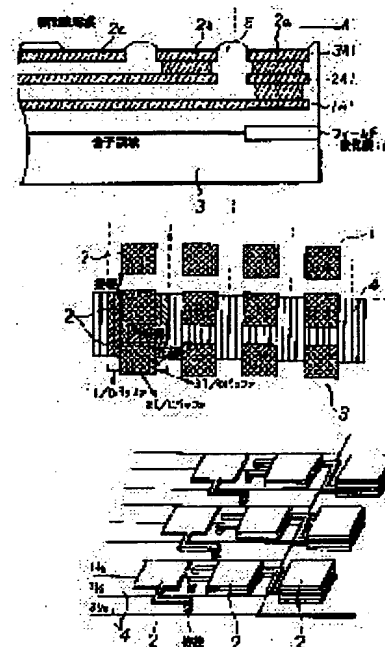
(72)Inventor : SUGIMAE KIKUKO
TAKUBO TOMOAKI
TAZAWA HIROSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To prevent increase in wiring length between an I/O buffer and an outside connection electrode by a method wherein the outside connection electrode is arranged in two or three turns inside the outer circumference on an element region.

CONSTITUTION: The external connection electrode 2b of the second round of a chip is arranged in parallel with those of the same shape formed by a metal wiring layer of the second layer on an element or an I/O buffer 4, not on a field oxide film 1, and they are connected by a via contact hole. The external connection electrode 2c of the third round of the chip is formed by the third metal wiring layer on the element or an I/O buffer 4, not on the field oxide film. The external connection electrode 2 is arranged vertically on the upper part of three I/O buffers 4. As the external connection electrode is placed on the I/O buffer 4, the external connection electrode and the I/O buffer can be wired directly, and the increase in wiring length can be prevented.



LEGAL STATUS

[Date of request for examination]

04.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3075858

[Date of registration]

09.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Semiconductor integrated circuit equipment characterized by providing the following. The integrated-circuit-device field formed on the semiconductor substrate. Two or more metal conductors formed in layers on this integrated-circuit-device field. Two or more electrodes for external connection formed so that the aforementioned integrated-circuit-device field may be surrounded by piling up the aforementioned metal conductor of the lowest layer to the best layer on a field oxide film so that the metal conductor of the lowest layer may serve as the upper layer from the circumference on this integrated-circuit-device field one by one toward the inside.

[Claim 2] The aforementioned electrode for external connection is semiconductor integrated circuit equipment according to claim 1 characterized by being formed by connecting the aforementioned metal conductor of at least 1 portion by the metal conductor.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to arrangement of the electrode for external connection with respect to a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] Generally, the semiconductor integrated circuit is formed on the semiconductor chip called IC chip and an LSI chip, and in order to use this as electronic parts, it is required to make a signal output and input between the integrated circuit on the above-mentioned semiconductor chip and the exterior, or to supply a power supply to the integrated circuit.

[0003] Arrangement of the electrode 2 for external connection in such a semiconductor chip is common knowledge, and is used in the large majority. That is, on the field oxide film 1 around the integrated-circuit-device field 3, the laminating of the multilayer metal conductor is carried out, and it forms by connecting each other (drawing 9). A semiconductor chip has the element field 3 which consists of I/O buffers arranged so that a logical circuit block and these may be surrounded on a semiconductor substrate, and the electrode 2 for external connection is arranged further at this periphery. Neither an element field nor wiring is formed in the bottom of this electrode 2 for external connection (drawing 10).

[0004] There are the following troubles in the semiconductor chip of such structure. Since the area of the electrode section for external connection of the periphery section does not change even if it raises the degree of integration of an element field and reduces the area of an element field, the area of a semiconductor chip does not change. Moreover, even when a semiconductor chip improves functionally, the increase in the electrode for external connection of a periphery cannot increase the number of impossible hatchet signals

etc.

[0005] Although it corresponded by conventionally making the electrode for external connection small to the increase in the number for external connection of electrodes, or reduction-izing of a chip, there is a limit in reduction-ization of the electrode for external connection. Then, it not only arranges the electrode for external connection into the periphery portion of an element field, but the technology which arranges the electrode for external connection also on an element field is tried. There is JP,3-108338,A as an example of this technology, and the electrode for external connection is formed on an element field using the one section of the best layer of a conductive layer.

[0006]

[Problem(s) to be Solved by the Invention] Having arranged the electrode for external connection freely all over an element field in the semiconductor chip of composition as mentioned above, in order to prevent un-connecting, when making the number of wiring increase when it is going to wire with the present multilayer-interconnection structure, in order to arrange at an element field edge as usual, the price went up, and the I/O buffer had the trouble that the wire length between the electrode for external connection and an I/O buffer became long. Moreover, in order to arrange an I/O buffer freely, a large change of Layout CAD is needed.

[0007] this invention is made in view of the above-mentioned technical problem, and the place made into the purpose offers without change of Layout CAD the electrode disposition method for external connection which prevents the increase in the wire length between the electrode for external connection, and an I/O buffer.

[0008]

[Means for Solving the Problem] The integrated-circuit-device field where this invention was formed on the semiconductor

substrate, and two or more metal conductors formed in layers on this integrated-circuit-device field, It goes inside from the circumference on this integrated-circuit-device field. It is characterized by offering semiconductor integrated circuit equipment equipped with two or more electrodes for external connection formed so that the aforementioned integrated-circuit-device field may be surrounded by piling up the aforementioned metal conductor of the lowest layer to the best layer on a field oxide film so that the metal conductor of the lowest layer may serve as the upper layer one by one.

[0009]

[Function] As mentioned above, it becomes reducible [the increase in the number for external connection of electrodes, and the area of semiconductor integrated circuit equipment] by arranging the electrode for external connection not only a field oxide-film top but on an element field. Moreover, the increase in an I/O buffer and a wire length inter-electrode [for external connection] can be prevented by arranging the electrode for external connection with 2 rounds and 3 rounds inside the periphery on an element field.

[0010]

[Example] The example of this invention is explained in detail, referring to a drawing. The semiconductor chip used as semiconductor integrated circuit equipment forms the element field 3 by the field oxide film 1 on a semiconductor substrate, forms the gate with polycrystal silicon etc. and is formed from the layer insulation film 5 of metal wiring and the meantime by which the laminating was carried out to three layers on those circuit elements and which consists of aluminum, for example. This metal wiring layer consists of a wiring layer of the 3rd layer of the best layer which forms the wiring layer of the 1st layer, the wiring layer of the 2nd layer, and the electrode for external

connection (2a, 2b, 2c). The beer contact hole connects between the wiring layers of the 1st layer and the 2nd layer. Electrode 2a for external connection of the No. 1 periphery of a chip is put in order by the thing of the same configuration and parallel which were formed by the metal wiring layer of the 1st layer and the 2nd layer on the field oxide film, and is mutually connected by the beer contact hole.

[0011] Electrode 2b for external connection of the 2nd round of a chip is put in order by the thing of the same configuration and parallel which were formed by the metal wiring layer of the 2nd layer not on a field oxide film but on the element or the I/O buffer, and is mutually connected by the beer contact hole. Under this metal wiring of the 2nd round, metal wiring, element, or I/O buffer of the 1st layer may exist.

[0012] Electrode 2c for external connection of the 3rd round of a chip is formed of the 3rd metal wiring layer not on a field oxide film but on an element or an I/O buffer. Under this 3rd-layer metal wiring, the 1st-layer metal wiring, the 2nd-layer metal wiring, an element, or an I/O buffer may exist (drawing 3). (drawing 1) (drawing 2)

[0013] Usually, as for one I/O buffer, in three-layer wiring, ***** formation of the two to 3 slot is carried out.

Conventionally, one electrode for external connection is connected about this three I/O buffer by limit of the number for external connection of electrodes, and the limit of the number for external connection of electrodes was avoided with the cure on a circuit (drawing 12). However, if three I/O buffers are connected to one electrode for external connection, it is necessary to change the signal to each I/O buffer, and will become complicated in circuit. Although it is desirable to connect one I/O buffer to one electrode for external connection, with such structure, the problem that the wire length of the

electrode for external connection and an I/O buffer increases arises (drawing 13).

[0014] Then, in this example, the electrode for external connection is perpendicularly arranged in the upper part of these three I/O buffers 4 (drawing 4). Under the present circumstances, you may shift and arrange the electrodes for external connection (drawing 5). Since the electrode for external connection is placed on I/O buffer 4, the electrode for external connection and an I/O buffer can wire directly, and can prevent the increase in a wire length (drawing 6). By arranging not only a field oxide-film top but on an element field, when curtailment of the area of the periphery section and area are the same, offer of the semiconductor integrated circuit which enriched the function of the electrode for external connection being conventionally arranged 1 round on the field oxide film of the chip periphery section is attained. Furthermore, electrode disposition for external connection which prevents the increase in the wire length between the electrode for external connection and an I/O buffer becomes it is [on Layout CAD] the same, and possible. In the present condition, as shown in drawing 4 , since the size of an I/O buffer is 30-50 micrometers, one electrode for external connection corresponds on three I/O buffers to the size of 100 micrometers of the electrode for external connection. However, detailed-ization of an I/O buffer progresses, and if it becomes possible to arrange three or more I/O buffers in under one electrode for external connection and the electrode for external connection of an I/O buffer and the same number will be arranged toward the inside of an element field, the problem of a wire length is solvable.

[0015] In addition, this invention is applicable also to the semiconductor circuit equipment with which the laminating of not only semiconductor circuit equipment but more many or a fewer number of the

metal wiring layers with which the laminating of the metal wiring layer was carried out was carried out to three layers. The metal wiring layer of n layers can arrange the electrode 2 for external connection from on the field oxide film 1 of the periphery of the element field 3 to n rounds inside in the semiconductor circuit equipment by which the laminating was carried out (drawing 8 (drawing 7)). As mentioned above, although the example of this invention was explained, the deformation and application various in the range which do not deviate from the summary of invention to others are possible.

[0016]

[Effect of the Invention] According to this invention, by arranging the electrode for external connection also on an element field, the increase in the electrode for external connection, reduction of the area of semiconductor integrated circuit equipment, and functional expansion are attained. Moreover, the increase in the wire length between the electrode for external connection and an I/O buffer can be prevented without the change on Layout CAD.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The plan of the semiconductor chip of this invention.

[Drawing 2] The cross section near [for external connection] the electrode of the semiconductor chip of this invention.

[Drawing 3] The perspective diagram near [for external connection] the electrode of the semiconductor chip of this invention.

[Drawing 4] The related view of the I/O buffer and the electrode for external connection by this invention.

[Drawing 5] The related view of the I/O buffer and the electrode for external

connection by this invention.

[Drawing 6] The related view of the I/O buffer and the electrode for external connection by this invention.

[Drawing 7] The plan of the semiconductor chip of this invention.

[Drawing 8] The cross section near [for external connection] the electrode of the semiconductor chip of this invention.

[Drawing 9] The plan of the conventional semiconductor chip.

[Drawing 10] The cross section near [for external connection] the electrode of the conventional semiconductor chip.

[Drawing 11] The perspective diagram near [for external connection] the electrode of the conventional semiconductor chip.

[Drawing 12] The related view of the conventional I/O buffer and a pad.

[Drawing 13] The related view of the conventional I/O buffer and a pad.

[Description of Notations]

1 -- Field oxide film 2, 2a, 2b, 2c --

Electrode for external connection 3 --

Element field

4 -- I/O buffer 5 -- Layer insulation film

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-112407

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.⁵

H 0 1 L 27/04

21/90

識別記号

E 8427-4M

D 7514-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-261417

(22)出願日 平成4年(1992)9月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 杉前 紀久子

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 田窪 知章

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 田沢 浩

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

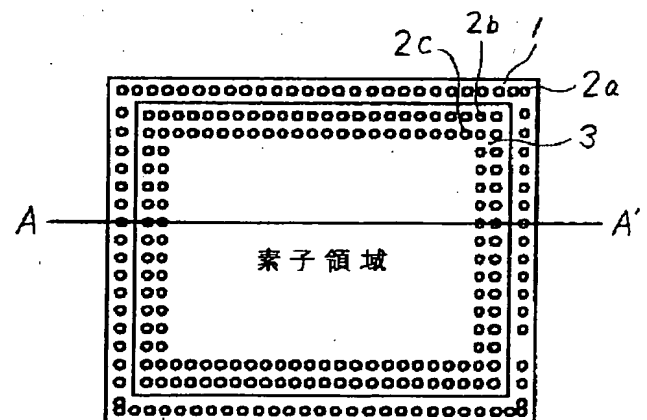
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 半導体集積回路の面積の縮小及び外部接続用電極の増加を目的とする。

【構成】 外部接続用電極をフィールド酸化膜上だけでなく、素子領域上にも外周より内側に2周、3周と配置する。



(2)

【特許請求の範囲】

【請求項1】 半導体基板上に形成された集積回路素子領域と、この集積回路素子領域上に層状に形成された複数の金属導電体と、この集積回路素子領域上の周辺から内側に向かって、最下層の金属導電体が順次上層となるように最下層から最上層の前記金属導電体をフィールド酸化膜の上に重ねることにより前記集積回路素子領域を囲むように形成される複数の外部接続用電極とを備えたことを特徴とする半導体集積回路装置。

【請求項2】 前記外部接続用電極は、少なくとも1部分の前記金属導電体を金属導電体によりつなぐことにより形成されることを特徴とする請求項1記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に係わり、特にその外部接続用電極の配置に関する。

【0002】

【従来の技術】 一般に、半導体集積回路はICチップやLSIチップと称される半導体チップ上に形成されており、これを電子部品として利用するためには、上記半導体チップ上の集積回路と外部との間で信号を入出力させたり、その集積回路に電源を供給することが必要である。

【0003】 このような半導体チップにおける外部接続用電極2の配置は周知であり、大多数において利用されている。すなわち集積回路素子領域3の周辺のフィールド酸化膜1上に多層の金属導電体を積層し、互いを接続することにより形成している(図9)。半導体チップは半導体基板上に論理回路ブロックとこれらを囲むように配置されるI/Oバッファとから構成される素子領域3を有し、さらにこの外周に外部接続用電極2が配置されている。この外部接続用電極2下には素子領域や配線等は設けられていない(図10)。

【0004】 このような構造の半導体チップでは次のような問題点がある。素子領域の集積度を上げて素子領域の面積を縮小しても外周部の外部接続用電極部分の面積が変化しないため半導体チップの面積が変わらない。また、半導体チップが機能的に向上した場合でも周辺部の外部接続用電極の増加が不可能なため信号数等が増加できない。

【0005】 従来は、外部接続用電極数の増加あるいはチップの縮小化に対して外部接続用電極を小さくすることで対応していたが、外部接続用電極の縮小化には限度がある。そこで素子領域の外周部分に外部接続用電極を配置するだけでなく、素子領域上にも外部接続用電極を配置する技術が試みられている。この技術の例として特開平3-108338があり、導電層の最上層の1部を用いて素子領域上に外部接続用電極を形成している。

【0006】

2

【発明が解決しようとする課題】 前述したような構成の半導体チップにおいては素子領域全面に自由に外部接続用電極を配置し、I/Oバッファは従来通り素子領域端に配置するため現在の多層配線構造のまま配線しようとした際、未結線を防止するために配線数を増加させれば価格が上がり、外部接続用電極とI/Oバッファとの間の配線長が長くなるという問題点があった。またI/Oバッファを自由に配置するためにはレイアウトCADの大幅な変更が必要となる。

【0007】 本発明は上記課題に鑑みてなされたものであり、その目的とするところは、レイアウトCADの変更なしに、外部接続用電極とI/Oバッファとの間の配線長の増加を防ぐような外部接続用電極配置方法を提供するものである。

【0008】

【課題を解決するための手段】 本発明は半導体基板上に形成された集積回路素子領域と、この集積回路素子領域上に層状に形成された複数の金属導電体と、この集積回路素子領域上の周辺から内側に向かって、最下層の金属導電体が順次上層となるように最下層から最上層の前記金属導電体をフィールド酸化膜の上に重ねることにより前記集積回路素子領域を囲むように形成される複数の外部接続用電極とを備えた半導体集積回路装置を提供することを特徴とする。

【0009】

【作用】 前述したように、外部接続用電極をフィールド酸化膜上だけでなく素子領域上にも配置することにより、外部接続用電極数の増加及び半導体集積回路装置の面積の縮小が可能となる。また、外部接続用電極を素子領域上の外周より内側に2周、3周と配置することにより、I/Oバッファと外部接続用電極間の配線長の増加を防止することができる。

【0010】

【実施例】 本発明の実施例を図面を参照しながら詳細に説明する。半導体集積回路装置となる半導体チップは半導体基板上にフィールド酸化膜1により素子領域3を形成し、多結晶シリコン等によってゲートを形成し、それらの回路素子の上に3層に積層された例えばA1からなる金属配線とその間の層間絶縁膜5から形成される。この金属配線層は第1層の配線層と第2層の配線層と外部接続用電極(2a、2b、2c)を形成する最上層の第3層の配線層からなる。第1層と第2層の配線層間はビアコンタクトホールによって接続されている。チップの1番外周の外部接続用電極2aはフィールド酸化膜上に第1層、第2層の金属配線層で形成された同じ形状のものと平行に並べられ、互いにビアコンタクトホールによって接続される。

【0011】 チップの第2周目の外部接続用電極2bはフィールド酸化膜上ではなく、素子あるいはI/Oバッファ上に第2層の金属配線層で形成された同じ形状のも

3

のと平行に並べられ、互いにピアコンタクトホールにより接続される。この第2周目の金属配線の下には第1層目の金属配線あるいは素子あるいはI/Oバッファが存在することができる。

【0012】チップの第3周目の外部接続用電極2cはフィールド酸化膜上ではなく素子あるいはI/Oバッファ上に第3の金属配線層により形成される。この第3層目の金属配線の下には第1層目の金属配線と第2層目の金属配線あるいは素子あるいはI/Oバッファが存在することができる(図1)(図2)(図3)。

【0013】通常、3層配線の場合においては、1つのI/Oバッファは2~3スロットがあつまって形成されている。従来、外部接続用電極数の制限によりこのI/Oバッファ3つについて1つの外部接続用電極が接続されており、回路上の対策によって外部接続用電極数の制限を回避していた(図12)。しかし、1つの外部接続用電極にI/Oバッファが3つ接続されていると、それぞれのI/Oバッファへの信号を変化させる必要があり、回路的に複雑となる。1つの外部接続用電極に1つのI/Oバッファを接続することが望ましいが、このような構造では、外部接続用電極とI/Oバッファとの配線長が増加するという問題が生じる(図13)。

【0014】そこで、本実施例においてはこの3つのI/Oバッファ4の上部に縦に外部接続用電極を配置する(図4)。この際、外部接続用電極どうしをずらして配置しても良い(図5)。I/Oバッファ4上に外部接続用電極が置かれているために外部接続用電極とI/Oバッファは直接配線することができ、配線長の増加を防ぐことができる(図6)。従来、チップ外周部のフィールド酸化膜上に1周のみ外部接続用電極が配置されていたのが、フィールド酸化膜上のみでなく、素子領域上にも配置することにより、外周部の面積の削減、また面積が同一の場合には機能を充実させた半導体集積回路の提供が可能となる。さらに、レイアウトCAD上の変更なく、外部接続用電極とI/Oバッファ間の配線長の増加を防ぐような外部接続用電極配置が可能となる。現状では、図4に示したように、外部接続用電極の寸法100 μ mに対してI/Oバッファの寸法が30~50 μ mなので、3つのI/Oバッファ上に1つの外部接続用電極が対応する。しかし、I/Oバッファの微細化が進み、1つの外部接続用電極の下に3つ以上のI/Oバッファを並べることが可能となれば、素子領域の内側に向かってI/Oバッファと同数の外部接続用電極を配置すれば、配線長の問題は解決できる。

(3)

4

【0015】なお、本発明は3層に金属配線層が積層された半導体回路装置のみでなく、もっと多くのあるいはもっと少ない数の金属配線層が積層された半導体回路装置にも適用することができる。n層の金属配線層が積層された半導体回路装置においては、素子領域3の外周のフィールド酸化膜1上から内側にn周まで外部接続用電極2を配置することができる(図7)(図8)。以上、本発明の実施例を説明したが、他にも発明の要旨を逸脱しない範囲で種々の変形や応用が可能である。

10 【0016】

【発明の効果】本発明によれば外部接続用電極を素子領域上にも配置することにより、外部接続用電極の増加、半導体集積回路装置の面積の縮小、機能拡大が可能となる。また、レイアウトCAD上の変更なしに、外部接続用電極とI/Oバッファの間の配線長の増加を防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の半導体チップの上面図。

【図2】 本発明の半導体チップの外部接続用電極付近の断面図。

【図3】 本発明の半導体チップの外部接続用電極付近の斜視図。

【図4】 本発明によるI/Oバッファと外部接続用電極との関係図。

【図5】 本発明によるI/Oバッファと外部接続用電極との関係図。

【図6】 本発明によるI/Oバッファと外部接続用電極との関係図。

【図7】 本発明の半導体チップの上面図。

【図8】 本発明の半導体チップの外部接続用電極付近の断面図。

【図9】 従来の半導体チップの上面図。

【図10】 従来の半導体チップの外部接続用電極付近の断面図。

【図11】 従来の半導体チップの外部接続用電極付近の斜視図。

【図12】 従来のI/Oバッファとパッドとの関係図。

【図13】 従来のI/Oバッファとパッドとの関係図。

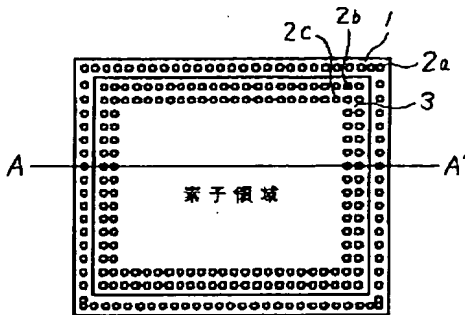
【符号の説明】

1…フィールド酸化膜 2、2a、2b、2c…外部接続用電極 3…素子領域

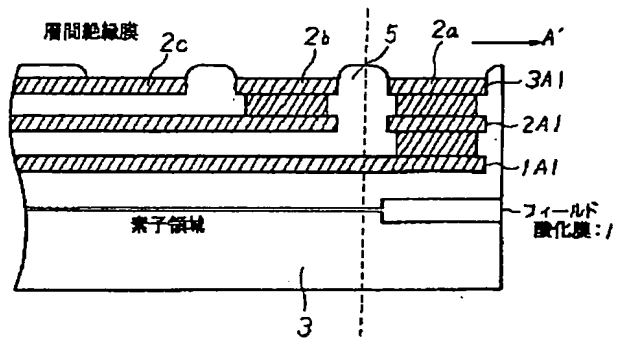
4…I/Oバッファ 5…層間絶縁膜

(4)

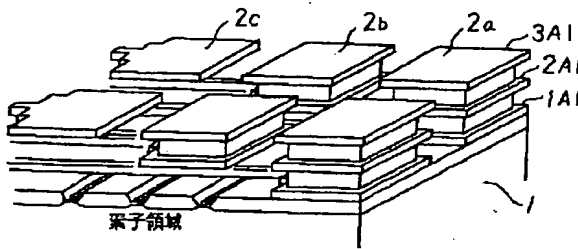
【図1】



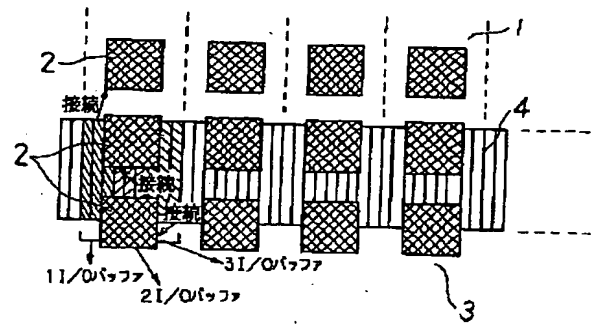
【図2】



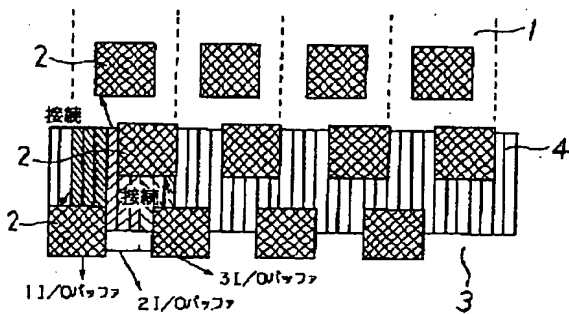
【図3】



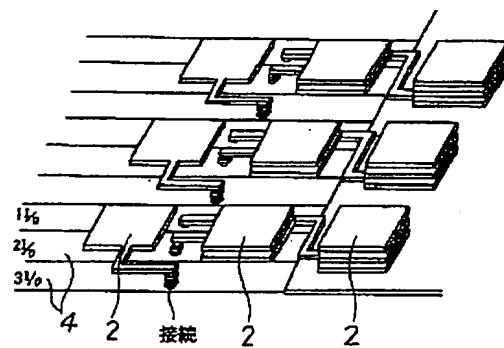
【図4】



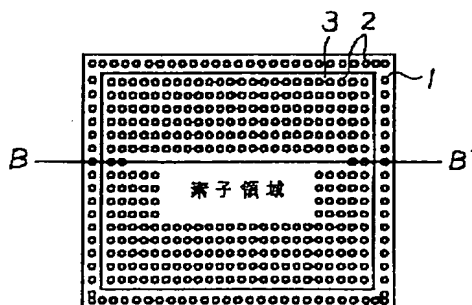
【図5】



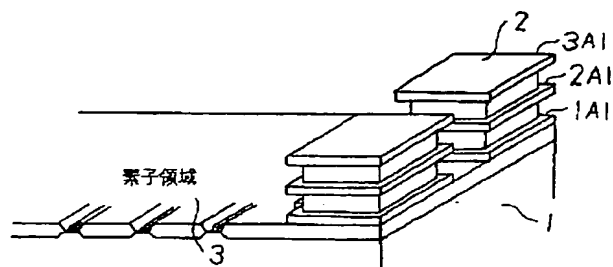
【図6】



【図7】

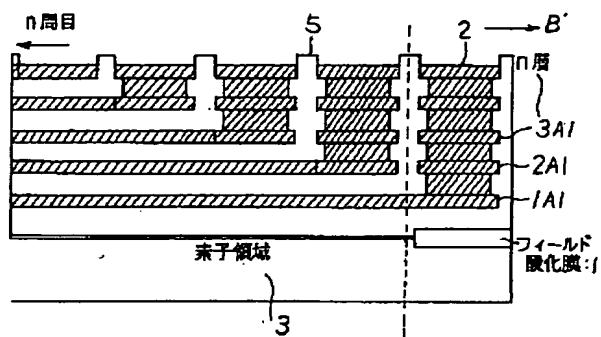


【図11】

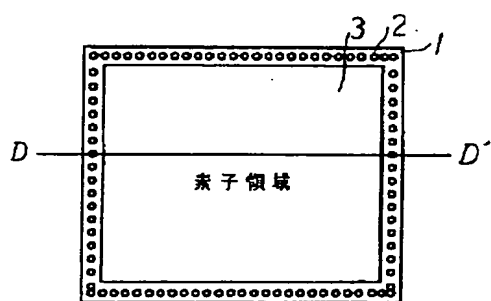


(5)

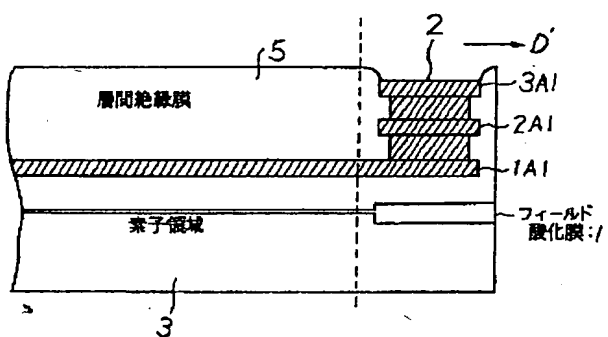
【図8】



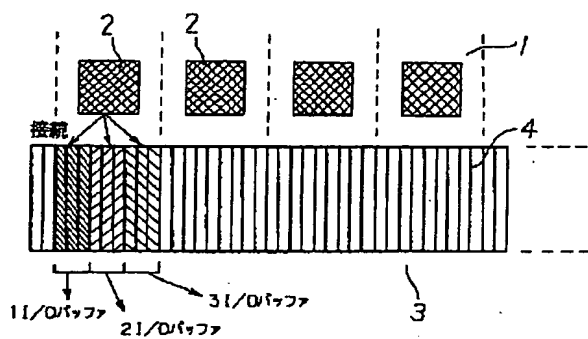
【図9】



【図10】



【図12】



【図13】

